

**UNIVERSIDADE FEDERAL DO PIAUÍ – UFPI
CAMPUS SENADOR HELVÍDIO NUNES DE BARROS - CSHNB
CURSO BACHARELADO EM SISTEMAS DE INFORMAÇÃO**

Revisão Sistemática Bibliográfica das Redes do Tipo NoC (Network-on-Chip) Para Sistemas Embarcados

Isabel Cristina Pereira da Silva

**PICOS – PIAUÍ
2017**

ISABEL CRISTINA PEREIRA DA SILVA

Revisão Sistemática Bibliográfica das Redes do Tipo NoC (Network-on-Chip) Para Sistemas Embarcados

Monografia submetida ao curso Bacharelado de Sistemas de Informação como requisito parcial para a obtenção do grau de Bacharel em Sistemas de Informação.

Orientador: Prof^a. Msc. Patrícia Medyna Lauritzen Drumond

**PICOS – PIAUÍ
2017**

FICHA CATALOGRÁFICA
Serviço de Processamento Técnico da Universidade Federal do Piauí
Biblioteca José Albano de Macêdo

S586r Silva, Isabel Cristina Pereira da

Revisão sistemática bibliográfica das redes do tipo NoC (Network-on-Chip) para sistemas embarcados / Isabel Cristina Pereira da Silva.– 2017.

CD-ROM : il.; 4 ¾ pol. (44 f.)

Trabalho de Conclusão de Curso (Curso Bacharelado em Sistemas de Informação) – Universidade Federal do Piauí, Picos, 2017.

Orientador(A): Prof.^a Msc. Patrícia Medyna Lauritzen Drumond

1. Sistemas Embarcados. 2. *System-on-Chip*.
3. *Multiprocessor System-on-Chip*. I. Título.

CDD 004.67

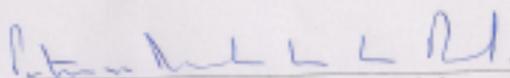
REVISÃO SISTEMÁTICA BIBLIOGRÁFICA DAS REDES DO TIPO NOC (NETWORK-ON-CHIP) PARA SISTEMAS EMBARCADOS

ISABEL CRISTINA PEREIRA DA SILVA

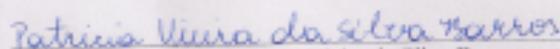
Monografia aprovada como exigência parcial para obtenção do grau de Bacharel em Sistemas de Informação.

Data de Aprovação

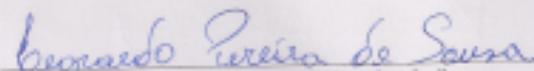
Picos - PI, 23 de junho de 2017



Prof. Ma. Patricia Medyna Lauritzen de Lucena Drumond
Orientadora



Prof. Ma. Patricia Vieira da Silva Barros
Membro



Prof. Esp. Leonardo Pereira de Sousa
Membro

A Maria de Lourdes de Souza
Moura, por tudo que me
ensinou em nosso pouco
tempo de convivência. E ao
meu amado filho Ian Alex.

Agradecimentos

Agradeço à minha orientadora Patrícia Medyna Lauritzen Drumond, por me acolher como orientanda, estar sempre disposta a ajudar e incentivar o término desse trabalho. Ao professor Frank César Lopes que foi meu primeiro orientador e grande incentivador.

A todos os profissionais que contribuem para o pleno funcionamento da instituição em especial a nossa coordenadora Alcilene Dalília de Sousa, por seu ótimo trabalho, a professora Juliana Oliveira de Carvalho por me ensinar programação de verdade e a Dennis Sávio Martins da Silva por me mostrar que banco de dados não é uma disciplina que deva ficar em segundo plano. E aos demais professores que contribuíram e contribuem para minha formação.

Aos meus pais, Maria José Pereira da Silva e Acenor Ferreira da Silva pelo dom da vida e às oportunidades de estudo que puderam me proporcionar.

Ao meu esposo Ivenilton Alexandre de Souza Moura, que sempre me motivou, me dando todo seu apoio e carinho ao longo desse tempo.

A todos os amigos que conheci e passei grande parte do tempo de graduação confraternizando e aprendendo com eles, especialmente Kaio Moura, Philippe Alves, Guilherme Feitoza, Laronso Cardeal, Maria Viviane e Lívia Maria.

E a Dona Puri pelo melhor café da universidade.

É impossível viver sem fracassar em algo, a não ser que você viva tão cautelosamente que é como se você nem estivesse vivendo, o que também é um fracasso.

J. K. Rowling

Resumo

O presente trabalho tem como finalidade apresentar uma Revisão Sistemática da Literatura (RSL) sobre as redes do tipo NoC, que são redes de interconexão em chip. Essa forma de comunicação dentro dos *microchips* está sendo cada vez mais utilizada, devido à existência de uma crescente demanda dos usuários por maior potência, rapidez e eficiência de seus *gadgets*. Esses dispositivos são Sistemas Embarcados (SE), seja para trabalho, lazer ou estudo estão sempre presente na vida em sociedade. Dentro dos SEs encontram-se os *Systems-on-Chip* (SoC) e os *Multiprocessor System-on-Chip* (MPSoC), que são sistemas inteiros dentro de um único *chip* e que devido a alta taxa de conexão e troca de mensagens, necessita de uma rede de interconexão capaz de suportar todo o trabalho.

Palavras chave: Sistemas Embarcados, *System-on-Chip*, *Multiprocessor System-on-Chip*, *Network-on-Chip*, NoC.

Abstract

The present work aims to present a Systematic Review of Literature (RSL) on NoC type networks, which are interconnection networks on the chip. This form of communication within the microchips is being increasingly used as there is a growing demand of users for greater power, speed and efficiency of their gadgets. These devices that are also Embedded Systems (SE), whether for work, leisure or study are always present in life in society. Within the SEs are Systems-on-Chip (SoC) and Multiprocessor System-on-Chip (MPSoC), which are entire systems within a single chip and which, due to the high connection rate and exchange of messages, require of an interconnection network capable of supporting all work.

Key Words: Embedded Systems, *System-on-Chip*, *Multiprocessor System-on-Chip*, *Network-on-Chip*, NoC.

Lista De Figuras

| | | |
|-----------|--|----|
| Figura 1 | Teste de Controle de Whirlwind | 17 |
| Figura 2 | Apollo Guidance Computer | 18 |
| Figura 3 | Raspberry Pi 2 | 20 |
| Figura 4 | MPSoCs Homogêneos e Heterogêneos | 23 |
| Figura 5 | Exemplo de NoC | 26 |
| Figura 6 | Exemplo de Topologias Regulares e Irregulares | 30 |
| Figura 7 | Topologias em Forma de Grafos | 30 |
| Figura 8 | Roteador da NoC Xpipe | 34 |
| Figura 9 | Estrutura da rede HERMES | 35 |
| Figura 10 | Roteador da NoC HERMES | 36 |
| Figura 11 | Topologia, Enlace e Pacote da SoCIN | 37 |
| Figura 12 | Estrutura do Pacote da rede QnoC | 38 |
| Figura 13 | Modelo de um Roteador QnoC | 39 |
| Figura 14 | Características da Metodologia RSL | 41 |
| Figura 15 | Relação entre Base de Dados e Quantidade de Artigos..... | 43 |

Lista De Tabelas

| | |
|---|----|
| Tabela 1 - Relação Entre os Tipos de Comunicação Interna..... | 27 |
| Tabela 2 - Classificação de Topologia..... | 31 |
| Tabela 3 - Relação Entre as NoCs Apresentadas..... | 41 |

Lista De Abreviaturas E Siglas

| | |
|-------|---|
| ABS | <i>Anti-lock Breaking System</i> |
| BIST | <i>Build-in self-test</i> |
| CI | Circuito Integrado |
| CRT | <i>Current Routing Table</i> |
| DSP | <i>Digital Signal Processor</i> |
| ES | Engenharia de Software |
| FLIT | <i>Flow Control Unit</i> |
| GPP | <i>General-Purpose Processor</i> |
| MC | Micro Controlador |
| MIT | <i>Massachusetts Institute of Technology</i> |
| MPSoC | <i>Multiprocessor System-on-Chip</i> |
| NoC | <i>Network-on-Chip</i> |
| RISC | <i>Reduced Instruction Set Computer</i> |
| RSL | Revisão Sistemática da Literatura |
| SDRAM | <i>Synchronous Dynamic Random Access Memory</i> |
| SE | Sistemas Embarcados |
| SoC | <i>System-on-Chip</i> |
| TRA | <i>Target Routing Address</i> |
| UCP | Unidade de Controle de Processamento |
| VC | <i>Virtual Chanel</i> |
| VLSI | <i>Very Large Scale Integration</i> |

Sumário

| | | |
|----------|--|-----------|
| 1 | INTRODUÇÃO..... | 15 |
| 1.1 | OBJETIVO | 16 |
| 1.2 | METODOLOGIA | 16 |
| 1.3 | ESTRUTURA DA MONOGRAFIA..... | 16 |
| 2 | SISTEMAS EMBARCADOS..... | 17 |
| 2.1 | HISTÓRICO | 17 |
| 2.2 | SYSTEM-ON-CHIP..... | 19 |
| 2.3 | MPSOC | 21 |
| 2.3.1 | Propriedades | 22 |
| 2.3.2 | Conexão Interna | 24 |
| 3 | NETWORK-ON-CHIP | 25 |
| 3.1 | DEFINIÇÃO | 25 |
| 3.2 | CARACTERÍSTICAS GERAIS | 26 |
| 3.3 | TOPOLOGIAS DE REDE E ALGORITMO DE ROTEAMENTO | 29 |
| 3.4 | NOCS | 33 |
| 3.4.1 | Noc Xpipes | 33 |
| 3.4.2 | Noc Hermes | 35 |
| 3.4.3 | Socin | 36 |
| 3.4.4 | Qnoc | 37 |
| 4 | REVISÃO SISTEMÁTICA DA LITERATURA | 40 |
| 4.1 | REVISÃO SISTEMÁTICA DA LITERATURA | 40 |
| 4.2 | RESULTADOS EM RELAÇÃO AO TEMA | 41 |
| 4.3 | RESULTADOS EM RELAÇÃO À PESQUISA..... | 42 |
| 5 | CONSIDERAÇÕES FINAIS | 44 |

1 INTRODUÇÃO

Nos dias atuais o anseio por tecnologias mais rápidas, eficientes, com baixo consumo de energia e melhor custo-benefício é bastante alto. Essa demanda impulsiona as pesquisas na área dos Sistemas Embarcados (SE).

Dentro dos SEs estão os SoCs, *System-on-Chip*, que podem ser descritos como sistemas embarcados de propósito específico dentro de um único chip, ou seja, um chip que tenha unidades de processamento, memórias, arquiteturas de comunicação e sistemas operacionais dentro de si. Apesar de parecer difícil a concepção já é mais comum do que se imagina, uma vez que estão presentes em *tablets*, *smartphones*, *smartTV* e automação industrial.

É interessante ressaltar que os Sistemas Embarcados são uma vasta área de conhecimento, com arquiteturas próprias capazes de realizar as mais variadas atividades. Os MPSoCs, *Multiprocessors Systems-on-Chip* um tipo mais complexo que os SoCs, podem ser classificados de diversas formas, dentre elas quanto à comunicação, forma de dispor os elementos na arquitetura e tipos de algoritmos de roteamento por exemplo.

E é dentro dessa última categoria de SE que se encontra o objetivo de estudo desse trabalho, a forma de comunicação dos elementos desse tipo de chip deve ser capaz de entregar e receber mensagens dos nodos se, perdas e/ou colisões, com precisão e certa rapidez.

Para que essa demanda seja alcançada faz-se necessário um sistema de comunicação interno capaz de suprir tais necessidades. Ao longo dos últimos anos as redes NoCs (*Network-on-Chip*) tem ganhado espaço e visibilidade no mercado. Diante do exposto este trabalho tenta responder as seguintes perguntas: Dentro da arquitetura de SoCs e MPSoCs as NoCs são viáveis? São eficientes? É a melhor maneira de fazer a comunicação interna de fato?

1.1 OBJETIVO

O objetivo desse trabalho é realizar uma Revisão Sistemática da Literatura sobre Redes NoC para Sistemas Embarcados.

1.2 METODOLOGIA

A metodologia empregada nesse trabalho recebe o nome de Revisão Sistemática da Literatura (RSL), essa técnica foi criada nos anos 80 e tem sido amplamente aplicada na área de saúde. Em tecnologia da informação é relativamente recente sendo utilizada pela primeira vez em 2004, através da Engenharia de Software. Essa técnica, possui métricas como a de retroalimentação que prevê um *feedback* a cada etapa concluída da pesquisa, que devem ser seguidas afim de se obter uma boa revisão.

1.3 ORGANIZAÇÃO DA MONOGRAFIA

Este trabalho está organizado da seguinte forma:

- CAPÍTULO 02 – Traz informações sobre os Sistemas Embarcados, desde sua criação e definição, destacando os *Systems-on-Chips* (SoCs) e os *Multiprocessors-System-on-Chips* (MPSoCs), bem como suas principais características;
- CAPÍTULO 03 – Aborda as NoCs, uma rede de comunicação intra-chip voltada para Sistemas Embarcados. Trazendo suas definições, propriedades, topologias de rede, algoritmos de roteamento e algumas das principais arquiteturas desse tipo de rede;
- CAPÍTULO 04 – Trata dos resultados da pesquisa e da metodologia utilizada para realizar a mesma;
- CAPÍTULO 05 – Expõe as conclusões a cerca do trabalho e trabalhos futuros.

2. SISTEMAS EMBARCADOS

Sistemas Embarcados(SEs), podem ser nomeados como sistemas dedicados ou embutidos. Encontram-se, na literatura diversas definições, que por muitas vezes podem ser confusas e até imprecisas. Para Wolf (2001), um sistema embarcado é um sistema computacional de propósito especial que é utilizado em uma tarefa específica. Segundo Marwedel (2006), um SE é um sistema de processamento de informações que é incorporado em um produto maior e, normalmente, não é diretamente visível pelo usuário. Assim um sistema embarcado é menos poderoso que um sistema de uso geral, ainda que existam SEs de funções pode ser grau de complexidade variados.

2.1 HISTÓRICO

A necessidade de utilização de computadores na substituição de controladores mecânicos ou humanos era evidente desde o início da era dos computadores. Por exemplo, computadores foram propostos para controlar processos químicos no final de 1940 (STOUT; WILLAMS, 1995).



Figura 1: Stephen Dodd, Jay Forrester, Robert Everett, e Ramona Ferenz no Whirlwind em um teste de controle. 1950

Existe um impasse sobre qual foi o primeiro sistema embarcado. Alguns autores consideram que foi o *Whirlwind*, um computador concebido no MIT (Massachusetts Institute of Technology) para controlar um simulador de aeronaves e que operava em tempo real, produzido no fim da década de 40 e início da década de 50. Entretanto, o *Whirlwind* como os demais computadores da época ocupava um espaço gigantesco. Como mostra a Figura 1.

Por ocupar muito espaço é gerada a discordância, existem autores que acreditam que o primeiro sistema embutido foi na verdade o *Apollo Guidance Computer*, como ilustra a Figura 2, era um computador de guia que operava em tempo real, construído na década de 60 no MIT. Por fazer uso de circuitos integrados monolíticos, a fim de reduzir tamanho e peso foi considerado o item mais arriscado do Projeto Apollo, conjunto de missões realizadas pela NASA entre os anos de 1961 e 1972 afim de levar o homem à Lua.



Figura 2: Engenheiro checando o Apollo Guidance Computer em um laboratório no MIT

Fonte: <http://web.mit.edu/aeroastro/news/magazine/aeroastro6/mit-apollo.html>

Em 1961 foi lançado o míssil nuclear LGM-30 Minuteman, este artefato bélico foi produzido em massa e possuía como sistema embarcado um computador de guia, contendo um disco rígido como memória principal. Em 1966, quando a segunda versão do projeto foi lançada o sistema continha um elevado número de circuitos integrados em sua composição. Em seu fim o programa reduziu o custo de

componentes eletrônicos como o NAND (conectivo utilizado em lógica, que equivale a negação da conjunção) em mais de 30%, abrindo assim as portas para o uso comercial (WOLF, 2012).

2.2 SYSTEM-ON-CHIP

Para Turley (2002), apenas 2% dos processadores fabricados no mundo são microprocessadores de alto desempenho destinados aos computadores de propósitos gerais (*desktops* e *notebooks*), os 98% restantes são microprocessadores e microcontroladores (MC) de pequeno e médio porte, destinados ao mercado de SE.

Os Microprocessadores são comumente classificados pelo tamanho da palavra (conjunto de *bits*). Um microcontrolador de 8 *bits* é projetado para aplicações de baixo custo. Em seu projeto estão inclusos memória e dispositivos de entrada e saída (E/S) *on-board* (na placa). Já um microcontrolador de 16 bits é frequentemente utilizado para aplicações mais sofisticadas que exigem palavras de comprimento maior. Além disso tanto a memória quanto os dispositivos de E/S são *off-board*, e por fim, os microprocessadores de 32 bits que oferecem alto desempenho para aplicativos de computação intensa.

Os microcontroladores são os componentes eletrônicos que funcionam como pontos vitais de um sistema embarcado (SE). Uma vez que realizam além da atividade de unidade central de processamento (UCP), e podem carregar consigo diferentemente de processadores de finalidade geral, diversos periféricos, como: barramentos, memórias voláteis e não-voláteis, conversores analógico-digitais e outros. E por sua vez, o microprocessador resultante é chamado de SoC (*Systems-on-a-Chip*).

De acordo com Martin e Chang (2001), os sistemas intrachip, do inglês, *Systems-on-Chip* (SoCs) são aqueles onde a completa funcionalidade de um sistema é implementada em um único Circuito Integrado (CI). Dentre as suas características, esses sistemas comumente tem melhor desempenho, alta capacidade de processamento além de consumirem menos energia. E o que faz

toda essa inovação acontecer na área da tecnologia intrachip, é o aumento na demanda de desempenho de sistemas eletrônicos, tornando assim possível integrar bilhões de transistores em um único chip, gerando SoCs de maior desempenho. A Figura 3 traz um dos modelos de Raspberry Pi, um dos sistemas embarcados mais utilizados atualmente.



Figura 3: Raspberry Pi 2 modelo B, exemplo de dispositivo que faz uso de SoC

Fonte: <https://www.raspberrypi.org/>

SoCs se enquadram dentro da categoria VLSI (*Very Large Scale Integration*) que de acordo com Martin e Chang (2001) podem ser descritos como “um CI complexo que integra os principais elementos funcionais de um produto completo”. SoCs são baseados no reúso de seus módulos de processamento. Seus problemas quanto a arquitetura, custos, prazos e complexidade são equiparáveis aos de SEs, os mesmos são enumerados a seguir:

- 1. Potência e energia:** O alto consumo de energia afeta diretamente o custo do *hardware*, pois assim faz-se necessária uma fonte de potência maior. Afeta também a vida útil da bateria. Que em boa parte das aplicações é indispensável;
- 2. Custo de fabricação:** O custo de fabricação é determinada por diversos fatores, dentre eles estão os tipos de dispositivos de entrada e saída (E/S),

microprocessadores e quantidade de memória necessária para realizar todas as tarefas do sistema;

3. **Tempo Real:** São numerosos os sistemas embarcados que executam suas rotinas em tempo real. Para que essas aplicações sejam executadas de forma correta, os dados devem estar prontos no menor tempo possível. Erros nesse tipo de sistema podem causar desde pequenas falhas em impressoras, por exemplo, como risco de vida em marca-passos;
4. **Algoritmos complexos:** É comum que as rotinas das aplicações que são executadas pelos microprocessadores sejam um tanto rebuscadas, até mesmo pela tarefa que deve ser realizada. Como exemplo podemos citar, as operações necessárias para controlar os sensores e responder de forma rápida ao usuário que esteja acionando os freios ABS (*Anti-lock Breaking System*, sistema de frenagem que impede que a roda trave, quando os freios são acionados).

Para Wayne Wolf (2001):

O projeto deste tipo de sistema computacional é extremamente complexo, por envolver conceitos até agora pouco analisados pela computação de propósitos gerais. Por exemplo, as questões da portabilidade e do limite de consumo de potência sem perda de desempenho, a baixa disponibilidade de memória, a necessidade de segurança e confiabilidade, a possibilidade de funcionamento em uma rede maior, e o curto tempo de projeto tornam o desenvolvimento de sistemas computacionais embarcados uma área em si.

O projeto de sistemas embarcados enfrenta vários desafios, uma vez que existe um grande contingente no que tange a arquitetura a ser explorado e ampliado. A arquitetura de *hardware* de um SoC pode conter um ou mais processadores, memórias, interfaces para periféricos e blocos dedicados. Os componentes são interligados por uma estrutura de comunicação que pode variar de um barramento a uma rede complexa (NoC – *network-on-chip*) (DE MICHELI; BENINI, 2002).

2.3 MPSOC

MPSoCs (*Multiprocessor Systems-on-Chip*) são sistemas compostos por múltiplos processadores implementados na forma de um SoC (TENHUNEN;WOLF, 2005). Os MPSoC emergiram na década passada como uma classe muito importante de VLSI (*Very large-scale Integration* - o processo de integrar centenas

de milhares de componentes em um único chip). Um MPSoC é um SoC que incorpora a maioria dos componentes necessários para uma aplicação, utilizando múltiplos processadores de várias naturezas, como componentes de sistema, ligados por uma arquitetura de comunicação, como uma NoC (SINGH *et al.* 2009).

O conceito de MPSOC define que os processadores devem ser otimizados para a aplicação alvo, e blocos computacionais desnecessários à aplicação são removidos para economizar energia e área do circuito integrado (DALLY; TOWLES, 2001). Regularmente para se conseguir criar sistemas complexos rapidamente, os projetistas acabam utilizando componentes programáveis. Dessa maneira os MPSoCs aparecem como tendência em muitos projetos, afim de atender o prazo mínimo de tempo e atender grandes níveis de complexidade.

2.3.1 Propriedades

Para Wolf (2012) o uso de MPSoCs entretanto não consiste somente em agrupar diversos processadores em um único chip. Os processadores utilizados em MPSOCs possuem a característica de serem extensíveis. Processadores extensíveis são processadores que se adaptam a aplicação que irão executar.

Um processador configurável é desenvolvido para ser extensível de diversas maneiras:

- Extensão das instruções: O usuário pode definir instruções customizadas especificando o seu comportamento. O processador extensível irá gerar a instrução adicionada que tornara parte do conjunto de instruções do processador.
- Inclusão/Exclusão de blocos predefinidos: O desenvolvedor pode incluir ou excluir blocos predefinidos como parte do processador. Exemplos de blocos incluem registradores de propósito específico, blocos BIST (*build-in self-test*), blocos multiplica e acumula, e memórias cache.
- Parametrização: O desenvolvedor pode definir alguns parâmetros como tamanho da palavra, tamanho da memória cache, e numero de registradores.

Levando em consideração o ponto de vista do multiprocessamento, um MPSoC é classificado como homogêneo quando os elementos processadores que o

compõem são todos da mesma natureza. Por exemplo, um sistema composto por processadores idênticos que permitem exclusivamente a execução de tarefas de *software* compiladas para tal arquitetura de processador. De outra forma, quando o MPSoC possui elementos de processamento diferentes, como um *General-Purpose Processor* (GPP) e um *Digital Signal Processor* (DSP), ele é dito heterogêneo. Nesse caso as tarefas também serão de naturezas distintas (CARVALHO, 2009).

Para Wolf (2004), enquanto MPSoCs homogêneos tendem a simplificar a aplicação de técnicas como migração de tarefas, MPSoCs heterogêneos podem suportar uma variedade maior de aplicações, possibilitando implementar uma arquitetura direcionada para, por exemplo, minimizar o consumo de energia e potência. Afim de proporcionar qualidade e desempenho, um decodificador de TV digital, por exemplo, deve ser heterogêneo o suficiente para integrar processadores *Reduced Instruction Set Computer* (RISC), núcleos de *hardware* dedicados (e.g. *upsampler*) e memórias (e.g. *Synchronous Dynamic Random Access Memory* (SDRAM)). Além disso, cada um desses componentes possui funcionalidades, tamanhos e necessidades de comunicação diferentes, o que demonstra a complexidade desses sistemas.

Na Figura 4 tem-se a representação da geometria e da granularidade. Enquanto (a) representa as características já mencionadas para as arquiteturas heterogêneas, (b) por sua vez representa a classe homogênea.

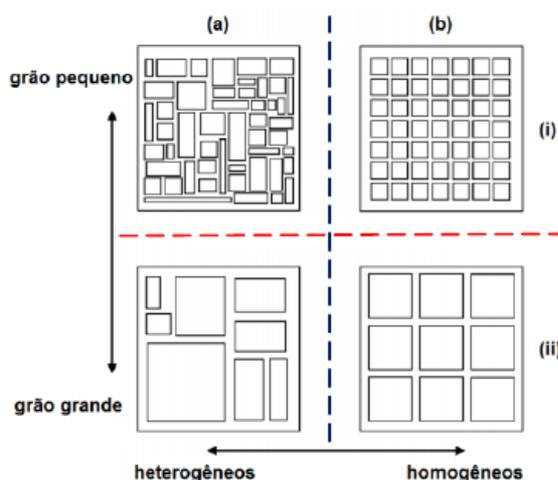


Figura 4: Representação dos MPSoCs homogêneos e heterogêneos

Fonte: (BRIÃO, 2008)

Os ramos dos MPSoCs, homogêneo e heterogêneo, são voltados para aplicações distintas. A arquitetura homogênea é geralmente utilizada para sistemas de dados paralelos. Estações *wireless*, onde o mesmo algoritmo é aplicado a vários conjuntos de dados independentes, é um exemplo; estimativa de movimento, em que várias partes de uma imagem possam ser tratadas separadamente, é outro exemplo (ANTUNES, 2011). Arquiteturas heterogêneas são projetadas para aplicações heterogêneas com diagrama de blocos complexos que incorporam múltiplos algoritmos, geralmente utilizando o paradigma de transferência de dados produtor-consumidor. Um sistema compressão completa de vídeo é um exemplo específico para aplicações heterogêneas (Antunes, 2011).

2.3.2 Comunicação Interna

Para Wächter (2011):

MPSoCs podem ser divididos quanto ao meio de interconexão que empregam: (i) barramentos ou (ii) redes intra-chip (NoCs, do inglês Networks-on-Chip). Quando o barramento é utilizado como interconexão, este pode ser monolítico ou hierárquico (com a utilização de pontes). O problema desta arquitetura está diretamente relacionado ao número de módulos conectados nela. Quanto mais módulos são conectados, maior a perda na taxa de comunicação entre eles. Entretanto, um MPSoC possui requisitos rígidos de comunicação que podem não ser atendidos por estruturas baseadas em barramentos.

Assim pode-se dizer que tópico infraestrutura de comunicação intrachip é um dos mais importantes no que diz respeito aos MPSoCs. Uma vez que o desempenho do sistema depende fortemente da forma de comunicação entre os núcleos processadores. Por esse motivo, é crucial que uma determinada arquitetura suporte taxas de comunicações consideráveis e alto grau de paralelismo. Além disso, o crescimento do número de elementos de processamento nos sistemas consideráveis exige o emprego de infraestruturas mais escaláveis.

3. NETWORK-ON-CHIP

As *Network-on-Chip* estão presentes em vários *gadgets* que utilizamos em nosso dia-a-dia, este capítulo aborda sua definição, suas características e suas vantagens em detrimento de outras arquiteturas de rede no que tange os Sistemas Embarcados.

3.1 DEFINIÇÃO

Com o advento de um maior número de elementos de processamento, passa a existir também a necessidade de uma forma de comunicação eficiente e com bom desempenho, em detrimento de soluções tradicionais tais como chaves *crossbar* e barramentos, que possuem problemas de limite físico e de escalabilidade. Aumentar o tamanho destas soluções de interconexão implica diretamente nas seguintes consequências: aumento da resistência do fio, aumento da latência de comunicação, e aumento da complexidade de roteamento do fio. Como consequência, a comunidade científica tem trabalhado com o objetivo de reduzir a influência dos limites físicos dos fios através de uma arquitetura de rede chamada de NoC (*Network-on-Chip*) (BENINI, 2005) (BJERREGAARD, 2006).

Uma *Network-on-Chip* (NoC), expressão inglesa que traduzida literalmente significa Rede em Chip ou Rede intrachip, são redes capazes de conectar e realizar a comunicação entre as unidades de processamento de um *many-core*, ou processador de alto desempenho. Para Bjerregaard e Mahadevan (2006), NoC é um subsistema de um *System-on-Chip* que provém a comunicação entre os núcleos de processamento em um único chip.

As NoCs trazem uma abordagem de redes de comunicação para a comunicação interna do chip, baseados na adaptação de conceitos bem conhecidos de redes de computadores, sistemas distribuídos e telecomunicação. Geralmente seu uso acarreta em maior escalabilidade da própria rede de comunicação, suportando assim um maior número de núcleos de processamento. A Figura 5 exemplifica de maneira abstrata uma NoC, onde cada core tem um roteador, que por sua vez se conectam com outros dois roteadores.

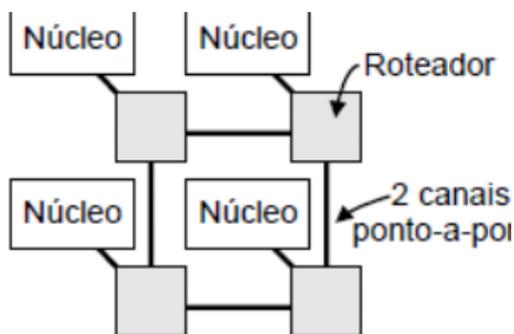


Figura 5: Exemplo de NoC

Fonte: (ZEFERINO, 2003)

As redes intrachip são redes de comunicação em chip baseadas em troca de pacotes, que possuem os seguintes componentes básicos: roteadores, adaptadores de rede, e links de comunicação. A maioria das NoCs é projetada para que um roteador seja responsável pela interconexão de um núcleo à rede de comunicação. Por exemplo, em uma rede com topologia mesh, um roteador teria entre o núcleo ou demais roteadores adjacentes links curtos com baixa resistência e latência de comunicação. Em contrapartida, cada roteador aumenta em complexidade a gerência de comunicação interna, podendo ou não aumentar a latência de comunicação.

3.2 CARACTERÍSTICAS GERAIS

Para Singh *et.al* (2010), existem quatro (04) tipos básicos de interconexão intrachip que diferem entre si quanto desempenho, consumo de energia, escalabilidade e estrutura física:

Para que os núcleos de processamento presentes em um chip possam trocar informações são necessárias estruturas de interconexão que realizam a comunicação entre estas. Estas estruturas podem ser barramentos multiponto, barramentos hierárquicos, conexões ponto a ponto e redes intrachip.

Barramentos multiponto são estruturas usualmente utilizadas para conectar elementos de processamento em um mesmo chip. Tem implementação de hardware simplificada, uma vez que os mesmos são escaláveis permitindo a conexão de vários elementos numa mesma rede. Entretanto, como o barramento é

compartilhado pelos diversos elementos presentes, problemas como colisão de mensagens e aumento no consumo de energia são frequentes. Como forma de sanar estes problemas, foi criado o barramento hierárquico que apesar de amenizar os defeitos do projeto anterior não os soluciona.

Diferentemente das propostas anteriores, conexões ponto a ponto possuem um desempenho excelente, pois são linhas dedicadas entre elementos de processamento, conferindo-lhes alto custo no que tange a área ocupada e pouca escalabilidade, limitando assim seu uso a projetos de pequeno porte.

Segundo Johann Filho (2012):

Redes intra-chip são propostas como a solução para os problemas citados, e seu uso é crescente no projeto de MPSoCs com dezenas e mesmo centenas de elementos de processamento. NoCs são implementadas por roteadores e canais de comunicação entre estes, na forma de conexões ponto a ponto, e são altamente escaláveis além de prover um maior paralelismo comparado a barramentos. Os roteadores podem ser dispostos em diferentes topologias, e a estes são conectados elementos de processamento.

A tabela 1, apresenta uma pequena relação entre os tipos básicos de comunicação interna destacando quatro de suas principais características, assim pode ser visto mais facilmente as diferenças entre elas.

| TIPO DE COMUNICAÇÃO | Nº DE NÚCLEOS DE PROCESSAMENTO | CONSUMO DE ENERGIA | ESCALABILIDADE |
|------------------------|--------------------------------|--------------------|----------------|
| BARRAMENTO MULTIPONTO | DEZENAS DE NODOS | ALTO | SIM |
| BARRAMENTO HIERÁRQUICO | DEZENAS DE NODOS | MÉDIO | SIM |
| CONEXÃO PONTO A PONTO | POUCOS | BOM | POUCO |
| NoC | VÁRIOS | BOM – MÉDIO | SIM |

Tabela 1: Relação entre as principais características dos meios de comunicação.

Pode-se dizer, que a solução mais simples e de médio custo quanto a implementação da comunicação em *hardware* são os barramentos. Entretanto, os mesmos possuem baixa escalabilidade, uma vez que a simples inserção de um novo elemento na rede é capaz de prejudicar seu funcionamento.

À medida que o número de componentes de um sistema *on-chip* aumenta, cresce também a quantidade de problemas no que tange a comunicação. Em sua grande maioria os problemas são perda ou colisão de pacotes ou dados. Assim,

NoCs estão sendo utilizadas para substituir os barramentos, devido sua eficiência e escalabilidade.

Os barramentos costumam ser grandemente aplicados em sistemas embarcados menores, onde não haja necessidade de um poder de processamento maior, diminuindo assim o número de dispositivos a serem conectados. Por outro lado soluções baseadas em infraestruturas de comunicação do tipo NoC possuem boa escalabilidade, possibilitando a conexão de diversos elementos, e capacidade de dar suporte a diversas comunicações simultâneas, de escritas e leituras, tornando-as adequadas para tratar aplicações que requerem comunicação intensiva e com grande quantidade de elementos de processamento, é o que diz Ost (2010).

O impacto no desempenho pelas redes de comunicação é amplamente conhecido pela comunidade de processamento paralelo (DONGARRA, 2003) (DE ROSE, 2003). A troca de mensagens pode ser afetada pela latência da rede e com isto o desempenho pode degradar. Como exemplo, o simples aumento da quantidade de nós de processamento não significa aumento de desempenho. À medida que o número de processadores aumenta, o ganho de desempenho também aumenta, mas a partir de uma certa quantidade de processadores este ganho começa a diminuir, uma vez que a rede insere atrasos na comunicação. *Clusters* multiprocessados têm sido amplamente utilizados como infra-estrutura de alto desempenho na solução de problemas paralelos devido à grande escalabilidade oferecida pela rede de comunicação. Projetar NoCs baseadas em clusters (LENG, 2005)(NIEMANN, 2005) pode reduzir o impacto da própria NoC no desempenho do chip, mas sua influência continua sendo um fator importante. Apesar da abordagem baseada em clusters, o crescimento da NoC pode degradar o desempenho, se a utilização dos núcleos de processamento não for otimizada em função das aplicações e dos roteadores da NoC que gerenciam os clusters.

Os quatro principais problemas referentes aos limites físicos e de desempenho das *Networks-on-Chips* podem ser descritos através dos seguintes itens:

- 1. Largura de banda e vazão da rede:** A NoC deve possuir uma largura de banda e arquitetura que propicie uma alta vazão de pacotes.

2. **Área ocupada:** a NoC deve ocupar um espaço pequeno, para que a área seja melhor ocupada por uma maior quantidade de núcleos de processamento ou dispositivos de I/O por exemplo.
3. **Consumo de Potência e Energia:** A NoC deve consumir pouca potência e energia para que o impacto no consumo do chip seja pequeno.
4. **Latência da rede:** O atraso da NoC para iniciar uma comunicação ou entregar um pacote deve ser pequeno para que o desempenho do processador não seja degradado.

3.3 TOPOLOGIAS DE REDE E ALGORITMOS DE ROTEAMENTO

Para Marcon (2005):

A topologia de uma rede intrachip é definida pelo arranjo de interconexões entre seus elementos de roteamento. Topologias físicas e lógicas costumam ser modeladas como grafos onde os elementos de roteamento são representados por vértices e interconexões são representadas por arestas. As topologias podem ser regulares, quando é possível definir um padrão para este arranjo, com base na estrutura dos elementos de roteamento. Caso este não possa ser identificado, ou possua um modelo não ortogonal, topologia é denominada irregular.

As Figuras 6 e 7 mostram os principais tipos de topologia de rede intrachip. Na primeira, as figuras 6(a) – malha 2D, 6(b) – toro 2D e 6(c) - hipercubo são exemplos de topologias regulares pois é possível detectar um padrão entre os nodos e as arestas, já as figuras 6(d) e 6(e) como não apresentam essa característica são irregulares. Na segunda imagem as topologias estão dispostas em grafos direcionados para facilitar a visualização.

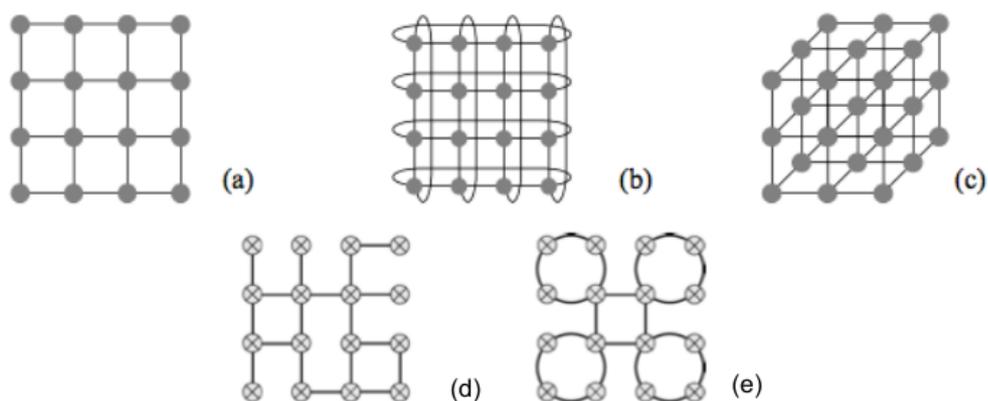


Figura 6: Exemplos de topologias regulares e irregulares

Fonte: (REGO, 2006)

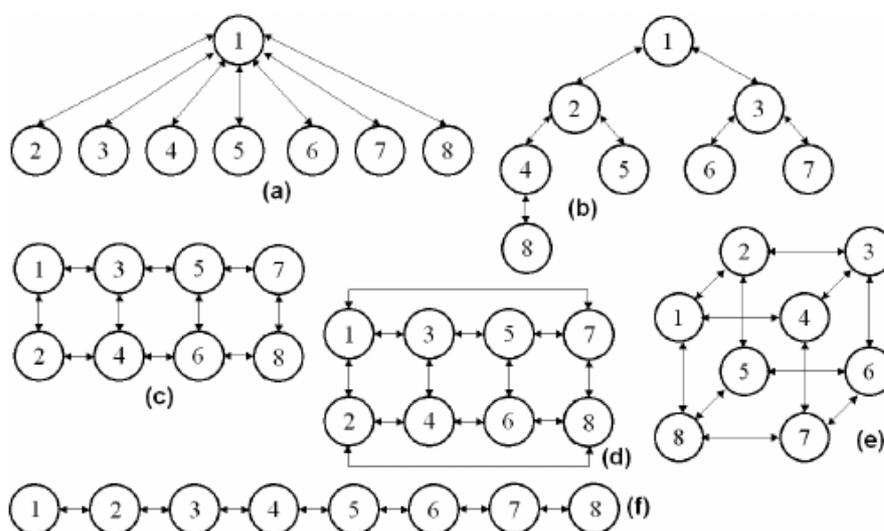


Figura 7: Topologias dispostas em grafos direcionados, 7(a) - estrela, 7(b) - árvore, 7(c) malha, 7(d) - toro, 7(e) - hipercubo, 7(f) - pipeline

Fonte: (REGO, 2006)

De acordo com Duato (2002) as redes de interconexões podem ser classificadas segundo alguns critérios. A parti daqui serão destacadas apenas na forma de comunicação, onde as topologias serão utilizadas para diferenciar as estruturas e assim fazer a classificação. Mais adiante a Tabela 2 ilustrará a

classificação segundo forma de comunicação. Neste caso são definidas três estratégias descritas a seguir:

1. A **Estratégia de Transferência** pode ser definida por direta ou indireta. As redes diretas são compostas por um conjunto de nós em que cada um está diretamente conectado a outro. Diferentemente das indiretas onde um conjunto de nós é responsável apenas por interconectar outros nós. Deste modo, nas redes diretas cada nó possui, conectado a ele, um elemento de processamento e nas redes indiretas os nós intermediários não possuem este elemento de processamento.

2. O **Método de Controle** define o tipo de roteamento utilizado. Nas redes diretas são geralmente descentralizadas, enquanto que nas indiretas são centralizadas.

3. A **Estrutura do Caminho** define se o pacote possui um caminho dedicado ou compartilhado entre origem e destino. Em todos os exemplos da Tabela 2 os caminhos são dedicados.

| TOPOLOGIA | ESTRATÉGIA DE TRANSFERÊNCIA | MÉTODO DE CONTROLE | ESTRUTURA DO CAMINHO |
|-------------|-----------------------------|----------------------------|----------------------|
| Estrela | Indireta | Roteamento Centralizado | Dedicado |
| Árvore | Indireta | Roteamento Descentralizado | Dedicado |
| Mesh(Malha) | Direta | Roteamento Descentralizado | Dedicado |
| Toro | Direta | Roteamento Descentralizado | Dedicado |
| Hipercubo | Direta | Roteamento Descentralizado | Dedicado |

Tabela 2: Classificação Segundo Forma de Comunicação

Os algoritmos de roteamentos são utilizados para decidir o caminho que um pacote ou mensagem, tomará através da rede para alcançar seu destino. O principal objetivo do algoritmo de roteamento é distribuir uniformemente o tráfego entre os caminhos fornecidos pela topologia da rede, de forma a minimizar a contenção, melhorando a latência da rede e a vazão (JERGER ; PEH, 2009).

Deste modo os algoritmos de roteamento deveriam evitar o surgimento de *deadlocks* e *livelocks*, problemas que quando não tratados tendem a comprometer o funcionamento do sistema até o ponto de sua total paralisação. O deadlock é na verdade uma dependência circular entre pacotes criado pelo algoritmo. À medida que o número de pacotes aumenta na rede este tipo de dependência fica difícil de

ser percebido. O livelock por sua vez, ocorre tipicamente em sistemas tolerantes a falhas, quando um pacote jamais chega a seu destino, circulando eternamente pela rede.

Segundo Zefferino(1999), o algoritmo de roteamento geralmente visa atender a alguns objetivos específicos, os quais têm consequência direta em algumas propriedades da rede de interconexão. Dentro desses objetivos pode-se destacar:

- **Conectividade** - capacidade de rotear pacotes de qualquer nodo fonte para qualquer nodo destinatário.
- Liberdade de **deadlock** e **livelock** - capacidade de garantir que nenhum pacote ficará bloqueado ou circulando pela rede sem atingir o seu destinatário.
- **Adaptabilidade** - capacidade de rotear pacotes através de caminhos alternativos quando ocorrer congestionamento ou falha em algum componente do caminho em uso.
- **Tolerância** a falhas - capacidade de rotear pacotes na presença de falhas em componentes.

Os algoritmos de roteamento não tem um padrão, pois eles visam atender a requisitos diferentes. Deste modo eles podem ser classificados segundo os seguintes critérios:

- **Quanto ao número de destinos** – que podem ser Unicast se os pacotes ou mensagem têm um único destino, ou Multicast que é quando o contrário acontece, ou seja vários destinos.
- **Quanto ao lugar onde as decisões de roteamento são tomadas** – que pode ser Centralizado, quando existe um controlador central que define o caminho. Fonte, que acontece quando o nodo remetente é também quem define o caminho até que o pacote vá para a rede. Distribuído o roteamento é realizado pelos diversos nodos enquanto percorre a rede. E Multifase, onde o nodo fonte define os destinos, mas o caminho a ser percorrido é definido de forma distribuída, neste caso o pacote pode ser entregue a todos os nodos do caminho ou apenas ao destino.
- **Quanto à implementação** - Tabela se o roteamento é feito a partir de uma consulta a uma tabela em memória. Ou Máquina de estados se o roteamento

for realizado a partir da execução de um algoritmo implementado em software ou em hardware.

- **Quanto à adaptabilidade** - Determinístico quando o algoritmo de roteamento fornece sempre computa o mesmo caminho entre um par fonte-destino. Ou Adaptativo se o algoritmo de roteamento utiliza informação a respeito do tráfego da rede e/ou do estado dos canais para evitar regiões congestionadas ou com falhas.

3.4 NOCs

O surgimento das *Network-on-Chip* (ou redes-em-chip) datam dos anos 2000 com a criação da rede aSoC (*adaptive SoC*) (LIANG, 2000) e SPIN (*Scalable Programmable Integrated Network*) (GUERRIER, 2000). A partir desse ponto, outras redes foram apresentadas, entre as quais podemos exemplificar: CLICHÉ (KUMAR, 2002), Octagon (KARIM, 2001) (KARIM, 2002), Proteo (Saastamoinen, 2002) e a rede com topologia Torus 2D (DALLY, 2001). Aqui no Brasil, as principais redes desenvolvidas foram: a rede SoCIN (ZEFERINO, 2003) e a rede Hermes (MORAES, 2003). Existem na literatura muitas outras NoC, em nível nacional ou não, entretanto são derivações das que foram citadas. Os sub tópicos dessa sessão descrevem três dessas redes.

3.4.1 Noc – Xpipes

A rede Xpipes foi proposta por Bertozzi et. al. (2005) para SoCs multiprocessados. Com algoritmo do tipo *wormhole*, faz uso de roteamento estático denominado *street sign routing*. Onde as rotas são obtidas através da interface de rede, acessando uma tabela que tem por entrada o endereço destino. Este algoritmo de roteamento permite uma implementação simples do roteador porque nenhuma decisão dinâmica tem que ser tomada nos nodos de processamento.

A NoC Xpipes é uma rede confiável em sua comunicação. Nela os erros podem ser detectados a cada roteador do caminho computado que um pacote deve percorrer, essa técnica é chamada de detecção de erro distribuída. Muito embora

essa técnica de detecção acarrete em uma sobrecarga dos nodos da rede, por ser uma solução fim-a-fim, ela é apta pra conter os erros, impedindo por exemplo a propagação de cabeçalhos corrompidos.

A rede intra-chip Xpipes possui alto grau de parametrização. A parametrização inclui o tamanho do *flit* (*flow control unit*) – menor unidade de controle de fluxo de um pacote, o espaço de endereçamento dos núcleos, o número máximo de roteadores entre dois núcleos, o número máximo de bits para controle de fluxo fim-a-fim, a profundidade do *buffer*, o número de canais virtuais por canal físico, entre outros parâmetros(MOREIRA, 2009).

A Figura 8 mostra que cada roteador dessa rede contém os seguintes elementos: quatro (04) entradas, quatro (04) saídas e dois (02) canais virtuais multiplexados. É apresentado o esquema do roteador, o qual possui 4 entradas, 4 saídas e 2 canais virtuais multiplexados sobre o mesmo canal físico. O roteador adota ainda buferização de saída.

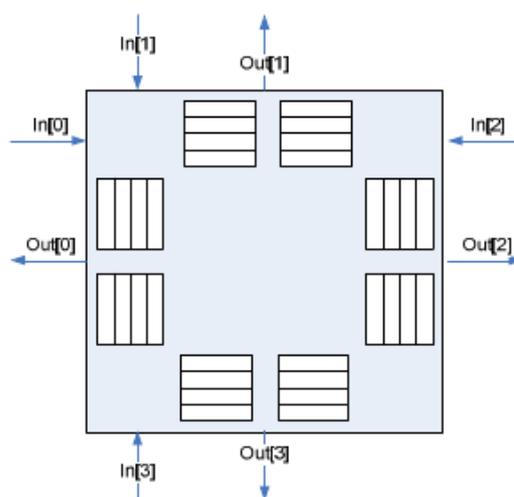


Figura 8: Estrutura básica de um roteador da NoC Xpipes

Fonte: (BERTOZZI, 2005)

3.4.2 – Noc Hermes

A rede HERMES foi desenvolvida pelo grupo de pesquisa GAPH, da UFRS – Universidade Federal do Rio Grande do Sul. Essa arquitetura de rede usa a topologia malha e possui um mecanismo de comunicação denominado chaveamento de pacotes, onde os pacotes são roteados individualmente entre os nodos sem o estabelecimento prévio de um caminho. A Rede HERMES utiliza o modo de roteamento wormhole, em que um pacote é transmitido entre roteadores em flits, cada pacote é transmitido flit a flit pelos canais físicos. Apenas o flit de cabeçalho possui a informação de roteamento. Assim, os flits restantes que compõe o pacote devem seguir o mesmo caminho reservado pelo cabeçalho (WOSZEZENKI, 2007). A figura 8 demonstra a arquitetura da rede, seus canais de entrada e saída, sua topologia e a forma como o pacote deverá ser transportado. Enquanto que a figura 9 mostra um roteador da rede HERMES com seus canais virtuais multiplexados nos físicos.

Segundo Woszezenki (2007):

O roteador da rede HERMES possui uma lógica de controle de chaveamento centralizada e 5 portas bidirecionais: East, West, North, South e Local. A porta Local estabelece a comunicação entre o roteador e seu núcleo local. As demais portas ligam o roteador aos roteadores vizinhos. O modo de chaveamento wormhole adotado no roteador HERMES permite que cada canal físico seja multiplexado em n canais virtuais (Vcs).

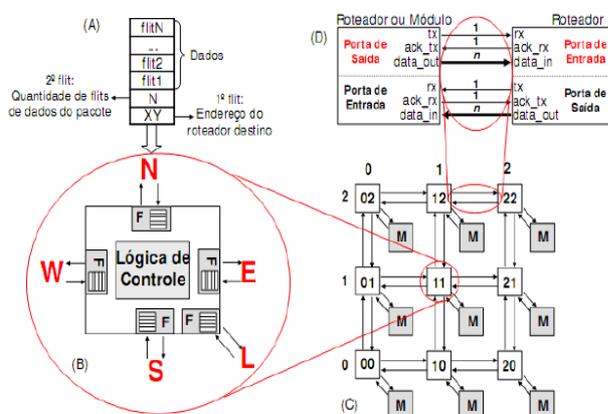


Figura 9: Arquitetura da NoC HERMES. Onde 9(a) - mostra a subdivisão de um pacote em flits, 9(b) - roteador, 9(c) - exemplo de uma HERMES 3x3 e 9(d) - mostra a interface entre os roteadores.

Fonte: (WOSZEZENKI, 2007)

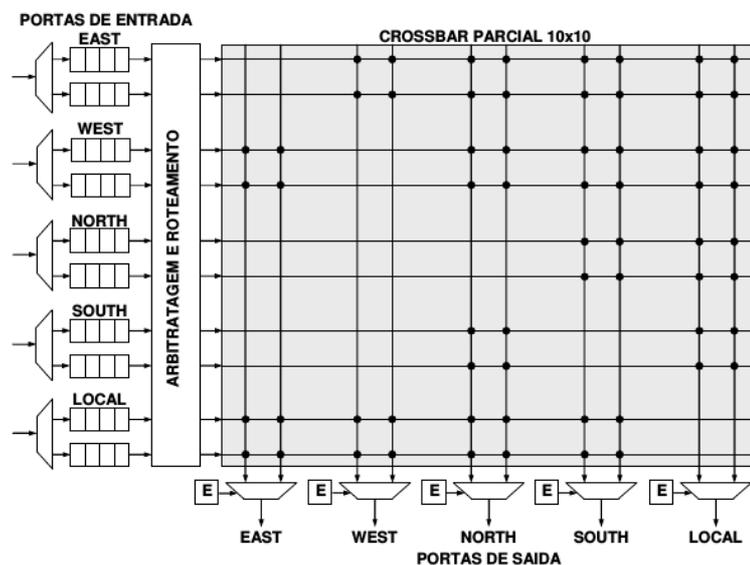


Figura 10: A figura apresenta o roteador HERMES com dois VCs por canal físico .

Fonte:(WOSZEZENKI, 2007)

3.4.3 – Socin

A rede SoCIN (System-on-Chip Interconnection Network), foi desenvolvida pelo Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande do Sul (PPGC-UFRGS).

Essa rede possui topologia direta podendo ser configurada uma malha 2-D ou toróide 2D. As características básicas dessa arquitetura:

- Possui controle de fluxo do tipo *handshake*;
- roteamento do tipo fonte e determinístico;
- chaveamento por pacote tipo *wormhole*;
- arbitragem dinâmica distribuída e memorização de entrada.

A SoCin é baseada num *software* de um roteador parametrizável denominado RASoC (Router Architecture for SoC), que por sua vez é representado em VHDL e possui quatro (04) principais parâmetros:

- número de portas de comunicação (até 5);
- largura da parte de dados do canal físico (n);

- profundidade dos buffers de memorização (p);
- e largura da informação utilizada para roteamento das mensagens (m), que determina a dimensão máxima da rede.

A seguir a Figura 11 mostra a topologia da rede (a), seu enlace (b) e sua divisão de pacotes (c).

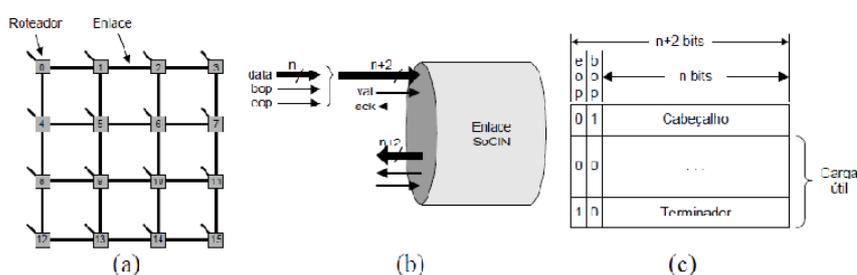


Figura 11: Topologia, Enlace e Pacote da SoCIn

Fonte: (ZEFFERINO, 2003)

Cada pacote do protocolo da rede SoCIN é composto por um flit de cabeçalho e por vários flits que compõem a carga útil do pacote, isso porque o número de flits não é pré determinado, sendo destinados ao enquadramento do pacote que o último flit da carga útil é também o terminador do pacote (ZEFFERRINO, 2003).

3.4.4 – Qnoc

A rede Quality-of-Service NoC (QNoC) proposta por Bolotin et al. (2004), também faz uso de uma topologia malha com chaveamento de pacotes *wormhole* e com controle de fluxo baseado em créditos. O *wormhole* reduz a latência e o requerimento de filas nos roteadores. A QNoC oferece quatro classes de serviço:

1. Sinalização: nível de serviço com a maior prioridade na rede, para assegurar baixa latência. É utilizado por interrupções e sinais de controle.
2. Tempo-real: nível de serviço que garante largura de banda e latência para aplicações de tempo real.

3. Leitura/Escrita (RD/WR): nível de serviço projetado para suportar acessos curtos a memórias e registradores.

4. Transferência de blocos: nível de serviço usado para transferência de mensagens longas e blocos grandes de dados, tal como conteúdo de cache.

Na figura 12 pode-se ver a estrutura de um pacote dessa rede. Contém basicamente três campos, o TRA (*Target Routing Address*) que têm consigo o endereço de entrega, o Command que identifica o tipo de operação existe na carga útil e, o *Payload* que nada mais é que informação ou carga útil do pacote.

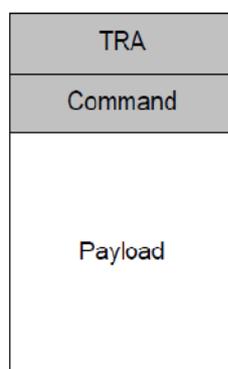


Figura 12: Estrutura de um pacote da QnoC

Fonte: (BOLOTIN, 2004)

A figura 13 ilustra a arquitetura do roteador. Aqui cada roteador assim como os roteadores da rede HERMES possuem até cinco conexões, sendo as quatro primeiras entre os roteadores vizinho e a quinta com núcleo local. Os dados também são recebidos em *flits* e armazenados em um *buffer* de entrada até que se receba todo o pacote. Pacote esse que deve ser redirecionado para uma porta de saída ou para o núcleo local dependendo do endereço final. O algoritmo de roteamento XY que é utilizado é do tipo determinístico, este é invocado quando o primeiro *flit* do pacote é recebido. O primeiro *flit* contém o endereço destino do pacote e é utilizado para determinar a qual porta de saída o pacote é destinado. O número da porta de saída selecionada para a transmissão do pacote de cada nível de serviço é armazenado na Tabela de Roteamento Atual (CRT, do inglês *Current Routing Table*).

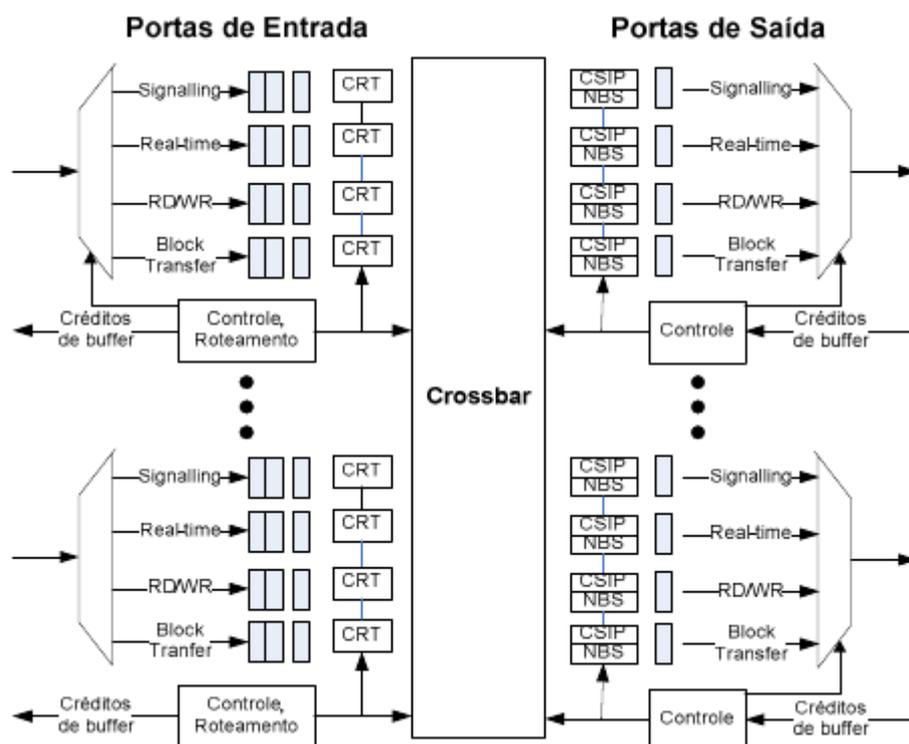


Figura 13: Modelo de um roteador da rede QNoC

4. REVISÃO SISTEMÁTICA DA LITERATURA

Nesse capítulo são expostos a metodologia utilizada para a realização da pesquisa e os resultados obtidos com a pesquisa. Os resultados são divididos em dois tópicos, o primeiro que mostra frutos da pesquisa e o segundo a seleção dos artigos.

4.1 REVISÃO SISTEMÁTICA DA LITERATURA

Para a elaboração e realização dessa pesquisa foi escolhido o método de Revisão Sistemática de Literatura (RSL), que consiste segundo Kitchenham (2004), em um meio de identificar, avaliar e interpretar todo material disponível e relevante sobre uma questão de pesquisa, um tópico ou um fenômeno de interesse. Em outras palavras, trata-se de uma nova forma de revisão literária que traz consigo uma técnica formal, objetivando encaminhar os estudos de cunho bibliográficos.

A priori essa metodologia foi utilizada na área da saúde no final da década de 80, mais especificamente na medicina. Uma vez que foi constatado que os trabalhos bibliográficos dessa área tinham pouca qualidade, devido a falta de métodos científicos que orientassem o processo de produção. Na Computação, a técnica foi introduzida por meio da Engenharia de Software (ES) em *Procedure for Performing Systematic Reviews*, no ano de 2004 por Kitchenham. O autor faz uma comparação do uso da RSL entre as duas áreas, e afirma que a forma com que a pesquisa é levada é basicamente a mesma em ambas as áreas. Os passos do processo de Revisão Sistemática apresentados na Figura 14 não são necessariamente sequenciais, pois possuem iterações, fazendo com que muitas atividades sejam iniciadas na fase de planejamento e refinadas posteriormente.

Ela pode ser realizada com dois objetivos principais: identificar lacunas existentes em uma área de pesquisa ou fornecer um conjunto relevante de trabalhos relacionados para embasar novas pesquisas. O presente trabalho recai sobre o primeiro objetivo. Recomenda-se que sejam utilizadas pelo menos duas bases de dados amplas e específicas para o tema em questão, selecionando-se unitermos, os quais são palavras ou conjunto de palavras usadas para identificar as pesquisas existentes (MUÑOZ; TAKAYANAGUI, 2002).

| Passo | Objetivos | Etapas | Resumo |
|------------------------|---|---|--|
| Planejamento | Planejar o objetivo central da Revisão Sistemática | - Identificação da necessidade de uma Revisão; - Criação do protocolo de revisão; | - Objetivos da pesquisa são definidos - Protocolo de revisão é definido e validado |
| Execução | Executar as etapas planejadas no passo anterior e coletar material para análise | - Identificação da pesquisa; - Seleção dos estudos primários; - Estudo de avaliação da qualidade; | - Identificação de estudos primários - Seleção e avaliação dos estudos primários, de acordo com os critérios de inclusão e exclusão |
| Análise dos resultados | Sintetizar os estudos primários que atendem ao propósito da revisão | - Extração de dados; - Síntese dos dados. | - Dados dos artigos são extraídos e sintetizados |

Figura 14: Resumo das principais características da metodologia RSL

Fonte: (MUÑOZ E TAKAYANAGUI, 2002)

4.2 RESULTADOS EM RELAÇÃO AO TEMA

| | Xpipes | HERMES | SoCIN | QnoC |
|--------------------------|-------------|-----------------|-------------------|-------------------|
| Topologia de Rede | ## | Malha | Malha ou Toro | ## |
| Tp. Roteamento | Wormhole | Wormhole | Wormhole | Wormhole |
| Alg. Roteamento | Estático | ## | determinístico XY | determinístico XY |
| Pacotes da Rede | Flit-a-flit | Flit-a-flit | Flit-a-flit | Flit-a-flit |
| Rotas | Tabela | Chaveamento Pct | Handshake | Tabelas |

Tabela 3: Aqui estão dispostas as principais características das redes NoC apresentadas anteriormente. Aqui ## representa dado ausente

Na tabela 3 na primeira coluna são apresentados cinco (05) características que definem bem uma NoC. São elas: Topologia de Rede, Tipo de Roteamento, Algoritmo de Roteamento, Pacotes da Rede (referindo-se a forma como os pacotes viajam na rede) e Rotas (como as rotas de envio dos pacotes são escolhidas).

As NoC expostas nesse trabalho são algumas das pioneiras da área, uma vez que todas datam entre os anos 2000 e 2005 aproximadamente. Analisando a tabela é fácil perceber que atributos semelhantes, por exemplo quando o aspecto

analisado é tipo de roteamento todas fazem uso do *wormhole* e quanto aos pacotes da rede, em todos os casos são quebrados em sua menor unidade possível o *flit*, e assim transmitido um a um para o endereço.

Entretanto diferem quanto a topologia de rede, sendo essa uma das características mais importante pois a forma como os nodos estão dispostos na rede pode significar uma maior ou menor eficiência. Divergem também quanto ao algoritmo de roteamento e à forma como as rotas são formadas. Ainda assim, vale salientar que muitas dessas técnicas são utilizadas atualmente.

A partir da pesquisa foi constatado que cada rede possui uma particularidade diante das demais, muito embora possuam também bastantes similaridades entre as mesmas. A rede Xpipes por exemplo, tem como característica principal a confiabilidade na comunicação, nela aparece a técnica de detecção de erro distribuída, sendo feitas verificações em cada roteador da rede, evitando que dados corrompidos sigam caminho.

Já a NoC HERMES, contém um *buffer* do tipo fila (FIFO-First In First Out) circular em cada porta de entrada de seus roteadores. Esse *buffer* tem por finalidade armazenar cada *flit* do pacote recebido no nó atual até que receba o último *flit* e só assim passar a diante a mensagem.

A SoCIN por sua vez traz consigo um aumento na largura do canal físico, no tamanho dos dados recebidos e nos *buffers* de memorização. E por fim a QnoC que não traz apenas uma característica, mas sim seus quatro principais serviços:

1. Sinalização;
2. Tempo-Real;
3. Leitura-Escrita e
4. Transferência de blocos.

4.3 RESULTADOS EM RELAÇÃO À PESQUISA

Para a realização do estudo foram feitas buscas no repositório do IEEE, o IEEE Xplore Digital Library e também no Google Scholar(Acadêmico) da Google Inc. A seleção dos artigos, dissertações e teses foram feitas a partir das seguintes chaves de busca: NoC, NoC *Arquiteture*, SoCs and NoC e *Network-on-Chip*.

Os buscadores possuem parâmetro para que o usuário possa definir o grau de relevância e importância dos arquivos a serem retornados. Dentre eles: ano (sendo que o ano pode ser específico ou uma faixa de tempo), autor, relevância, filiação do autor (fazendo referência a alguma instituição de pesquisa).

Realizando as buscas no IEEE *Xplore* com as chaves de buscas já mencionadas e sem restrição de datas foram retornados 4.510 artigos. O motor de buscas do Google nas mesmas condições anteriores retornou 3.947 artigos. Entretanto, como não havia uma faixa de tempo estabelecida retornaram trabalhos antigos e que por estarem defasados não se adequavam ao estudo. Definido-se uma faixa temporal entre os anos de 2000 e 2015, os buscadores retornaram 4.025 e 3.720 trabalhos respectivamente, figura 15.

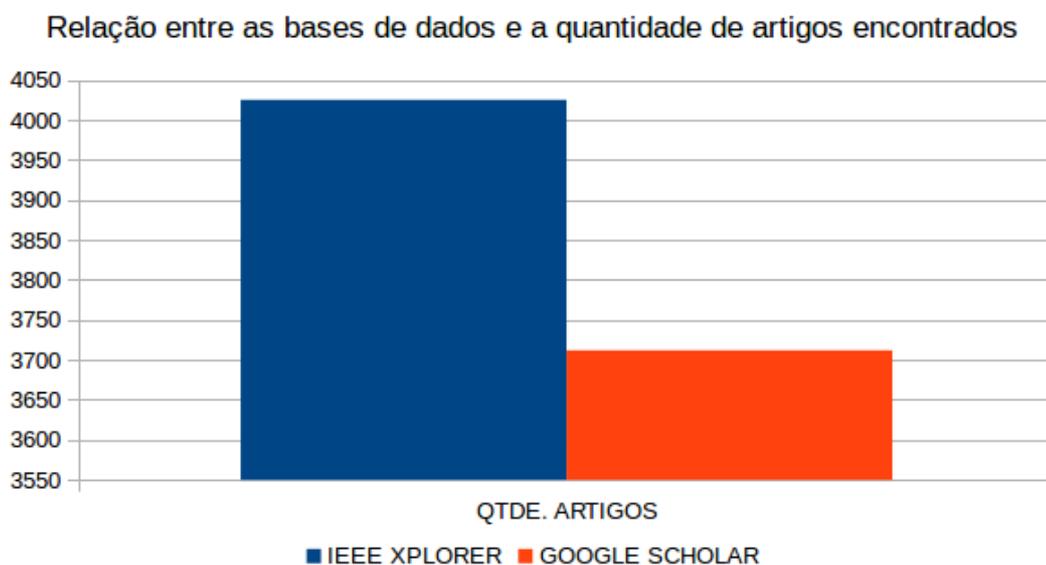


Figura 15: Relação entre a quantidade de trabalhos encontrados pelos buscadores

Dentre esses trabalhos ainda haviam os que se constavam em ambas as bases de dados, materiais publicados originalmente na base de dados do IEEE que se encontram disponível na base de dados acadêmicos do Google. Destes, 120 trabalhos foram analisados, sendo 88 obtidos na base de dados do IEEE e 32 dos Google Acadêmico.

5 CONSIDERAÇÕES FINAIS

Ao longo dessa empreitada foram apresentados os Sistemas Embarcados, tais como os *Systems-on-Chip*, que por sua vez podem ser definidos como sistemas inteiros em um único *chip*. Dentro desses *chips*, existem maneiras específicas de fazer a comunicação entre os elementos de processamento (áudio, gráficos e vídeos) e memórias. Barramentos e *Network-on-Chips* são as formas de efetivar essa comunicação mais comumente usadas.

No que tange à troca interna de informações de um SoC ou MPSoC, de grande porte e que tenham muitos núcleos de processamento o ideal é a utilização de uma NoC, por serem escaláveis, rápidas e apresentarem menores taxas de erros e colisões, sendo assim viáveis em detrimento de seus concorrentes, não restando dúvidas quanto sua eficiência quando bem utilizada.

Em sua origem este trabalho tentava responder as seguintes perguntas: Dentro da arquitetura de SoCs e MPSoCs as NoCs são viáveis? São eficientes? É a melhor maneira de fazer a comunicação interna de fato?

Chega-se à conclusão de que sim são viáveis, tendo em vista o menor número de pacotes perdidos ou danificados, maior vazão dos dados na rede, alto grau de escalabilidade, maior confiabilidade e segurança, ainda que exista o problema de alto consumo de energia. Por todas as qualidades anteriormente citadas elas podem sim ser consideradas eficientes. Porém as redes NoC não podem ser consideradas a melhor maneira de se fazer a comunicação interna de um chip, pois cada projeto possui características específicas, quanto menor o esquema, mais simples são as operações não justificando gasto elevado em comunicação interna.

Por fim, um outro fato importante é que embora existam várias arquiteturas de redes intrachip tanto na literatura quanto no mercado, boa parte dessas arquiteturas derivam ou são bastantes similares aquelas que este trabalho abordou.

Com a realização do material exposto, observa-se questões em aberto principalmente na área fim das redes NoC. Análise de algoritmos de roteamento, criação de uma nova topologia, criação de uma nova rede e testes em ambientes simulados, são exemplos de trabalhos futuros.

Referências

BERTOZZI, D; JALABERT, A; MURAIL, S; TAMHANKAR, R; et al. “**NoC Synthesis Flow for Customized Domain Specific Multiprocessor Systems-on-Chip**”. IEEE Trans. On Parallel and Distributed Systems, Vol. 16 (2), Fev. 2005, pp. 113-129.

BJERREGAARD, T. and MAHADEVAN, S. “ **A survey of research and practices of network-on-chip**”, ACM Computing Surveys, vol. 38, no.1, pp. 1-51, June 2006.

BRIÃO, Eduardo W. “**Métodos de Exploração de Espaço de Projeto em Tempo de Execução em Sistemas Embarcados de Tempo Real Soft Baseados em Redes-Em-Chip**”. Tese de Doutorado, UFRS, 2008.

DE MICHELI, G. ; BENINI, L. (2002). “**Networks-on-Chip: A New Paradigm for Systems-on-Chip Design**”. DATE’02 – Design, Automation and Test in Europe, Paris, França, Mar. 2002. Proceedings, IEEE Computer Society Press, 2002.

BENINI, L., MICHELI, G. D., **Network-on-chip architectures and design methods, IEE Proceedings Computers & Digital Techniques**, v.152, n.2, p.261-272, 2005.

DUATO, J., YALAMANCHILI, S., NI, L., **Interconnection Networks**, [S.I.], Morgan Kaufmann, 2002.

Site de arquivos do MIT, acessado em 30 de janeiro de 2017: <https://libraries.mit.edu/archives/exhibits/project-whirlwind/>

Site da Fundação Raspberry, acessado em 30 de janeiro de 2017: <https://www.raspberrypi.org/>

Site do MIT, acessado em 30 de janeiro de 2017: <http://web.mit.edu/aeroastro/news/magazine/aeroastro6/mit-apollo.html>

JERGER, N. E.; PEH, L.-S. **On-Chip Networks**. [S.I.]: Morgan and Claypool, 2009. (Synthesis Lectures on Computer Architecture).

FILHO, Sergio J. **Suporte Para Aplicações Dinâmicas Em Sistemas Multiprocessados Intra-Chip Homogêneos**, tese de doutorado, PUC – Rio Grande do Sul, 2012.

KITCHENHAM, B. **Procedure for Performing Systematic Reviews**, Keele University Technical Report TR/SE-0401 ISSN: 1353-7776, Australia, 2004.

MARCON, C. “**Modelos para o Mapeamento de Aplicações em Infraestruturas de Comunicações Intrachip**”. Tese de Doutorado, PPGC/UFRGS, Porto Alegre, Brasil, 2005.

MARTIN, G.; CHANG, H. **“System-on-Chip.”** 4th International Conference on ASIC. 2001, pp. 12-17.

MARWEDEL, P. **Embedded System Design**, Editora Springer 2006.

MOREIRA, Odair. **Implementação e Avaliação de Desempenho de um MPSoC Homogêneo Interconectado Por NoC**, Dissertação de Mestrado, Pontifícia Universidade Católica do Rio Grande do Sul, 2009.

MUÑOZ WIS, TAKAYANAGUI AMM, SANTOS CB, Sanches-Weatman O. **Revisão sistemática da literatura e metanálise: noções básicas sobre seu desenho, interpretação e aplicação na área de saúde.** In: Anais do 8º Simpósio Brasileiro de Comunicação em Enfermagem; 2002 maio 2-3; Ribeirão Preto, Brasil. Ribeirão Preto: Universidade de São Paulo; 2002.

OST, L. C. **“Abstract Models of NoC-Based MPSoCs for Design Space Exploration”**, Tese de Doutorado, Pontifícia Universidade Católica do Rio Grande do Sul, PUCRS, Brasil., 2010.

SINGH, A; JIGANG, W.; PRAKASH, A.; SRIKANTHAN, T. **“Mapping Algorithms for NoC-based Heterogeneous MPSoC Plataforms”**. Proceedings of the Euromicro Conference on Digital System Design, Architectures, Methods and Tools – DSD, 2009, pp. 133-140.

SINGH, A. K.; SRIKANTHAN, T.; KUMAR, A.; JIGANG, W. **“Communication-aware heuristics for run-time task mapping on noc-based mpsoC platforms”**, J. Syst. Archit., vol. 56, July 2010, pp. 242–255.

STOUT, Thomas M. and WILLAMS, Theodore J., **“Pioneering work in the field of computer process control,”** IEEE Annals of the History of Computing 17(1) (1995): 6–18.

TURLEY J, *The Essential Guide to Semiconductors* Prentice Hall:2002.

WOLF, M. C. **Computers as Components: principles of embedded computing system design.** Editora Elsevier, 3ª edição, 2012.

WOLF, W. **“The Future of Multiprocessor Systems-on-Chips”**. Proceedings of the Design Automation Conference(DAC), 2004, pp.681-685.

WOSZEZENKI, C. **“Alocação de Tarefas e Comunicação entre Tarefas em MPSoCs”**. Dissertação de Mestrado, Programa de Pós-Graduação em Ciência da Computação, PUCRS, 2007. 121p.

ZEFERINO, Cesar Albenes; SUSIN, Altamiro Amadeu. **SoCIN: a parametric and scalable network-on-chip.** In: Integrated Circuits and Systems Design, 2003. SBCCI 2003. Proceedings. 16th Symposium on. IEEE, 2003. p. 169-174.



**TERMO DE AUTORIZAÇÃO PARA PUBLICAÇÃO DIGITAL NA BIBLIOTECA
“JOSÉ ALBANO DE MACEDO”**

Identificação do Tipo de Documento

- () Tese
() Dissertação
(X) Monografia
() Artigo

Eu, Isabel Cristina Pereira da Silva,
autorizo com base na Lei Federal nº 9.610 de 19 de Fevereiro de 1998 e na Lei nº 10.973 de
02 de dezembro de 2004, a biblioteca da Universidade Federal do Piauí a divulgar,
gratuitamente, sem ressarcimento de direitos autorais, o texto integral da publicação
Revisão Sistemática da Literatura de Redes
do Tipo NoC
de minha autoria, em formato PDF, para fins de leitura e/ou impressão, pela internet a título
de divulgação da produção científica gerada pela Universidade.

Picos-PI 17 de Março de 20 17.

Isabel Cristina Pereira da Silva
Assinatura